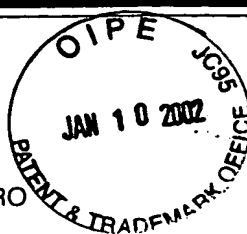


**MEMORY APPARATUS**

Patent Number: JP11007730  
Publication date: 1999-01-12  
Inventor(s): KUROSAWA YOSHIHIRO  
Applicant(s):: FUJITSU LTD  
Requested Patent: ☐ JP11007730  
Application JP19970162320 19970619  
Priority Number(s):  
IPC Classification: G11B20/12 ; G11B20/10  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To reduce a capacity of defect management information and shorten a defect search time and an update time, by compressing defective sector information.

**SOLUTION:** A defective cylinder information management part 17 generates and manages a one-bit defective cylinder information 21 indicating the presence/ absence of a defective sector for every cylinder. A pointer information management part 18 forms the one-bit defective cylinder information 21 in groups for every plurality of cylinders, generates and manages a pointer information 22 indicating a start address of a defective sector information. Further, a defective sector information management part 19 generates and manages a defective sector information 23 corresponding to the start address designated by the pointer information 22, e.g. for every four bytes irrespective of kinds of an alternate sector and a split sector. An alternate process part 20 searches the defective cylinder information 21, pointer information 22 and defective sector information 23, thereby carrying out an alternate process, in response to an access requirement from a host apparatus.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-7730

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl.<sup>6</sup>G 1 1 B 20/12  
20/10

識別記号

F I

G 1 1 B 20/12  
20/10

C

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願平9-162320

(22) 出願日 平成9年(1997) 6月19日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 黒沢 義弘

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

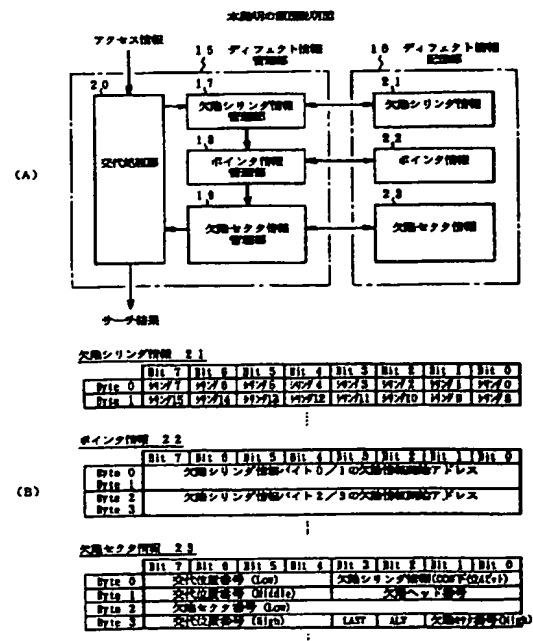
(74) 代理人 弁理士 竹内 進 (外1名)

(54) 【発明の名称】 記憶装置

## (57) 【要約】

【課題】 欠陥セクタ情報を圧縮することで、ディフェクト管理情報の容量削減とディフェクトサーチ時間と更新時間を短縮化する。

【解決手段】 欠陥シリンダ情報管理部17でシリンダ毎に欠陥セクタの有無を示す1ビットの欠陥シリンダ情報21を生成して管理し、ポインタ情報管理部18で1ビットの欠陥シリンダ情報21を複数シリンダ単位にグループ化して欠陥セクタ情報の開始アドレスを示すポインタ情報22を生成して管理し、更に、欠陥セクタ情報管理部19で、交代セクタとスプリットセクタの種別に関わらず例えば4バイト単位にポインタ情報22で指定された開始アドレスに対応して欠陥セクタ情報23を生成して管理する。上位装置のアクセス要求に対し交代処理部20は、欠陥シリンダ情報21、ポインタ情報22及び欠陥セクタ情報23をサーチして交代処理を行う。



## 【特許請求の範囲】

【請求項 1】媒体上の欠陥セクタの位置アドレス及び欠陥セクタの交代先セクタアドレスを管理するディフェクト情報を、装置の電源投入時に、前記媒体から読み出して装置上のメモリ領域に展開して媒体のアクセスを行う記憶装置に於いて、

シリンダ毎に欠陥セクタの有無を示す 1 ビットの欠陥シリンダ情報を生成して管理する欠陥シリンダ情報管理部と、

1 ビットの前記欠陥シリンダ情報を複数シリンダ単位にグループ化して欠陥セクタ情報の開始アドレスを示すポインタ情報を生成して管理するポインタ情報管理部と、交代セクタとスプリットセクタの種別に関わらず所定バイト単位の情報として前記ポインタ情報で指定された開始アドレスに対応して欠陥セクタ情報を生成して管理する欠陥セクタ情報管理部と、

上位装置のアクセス要求に対し前記欠陥シリンダ情報、ポインタ情報及び欠陥セクタ情報をサーチして交代処理を行う交代処理部と、を備えたことを特徴とする記憶装置。

【請求項 2】請求項 1 記載の記憶装置に於いて、前記欠陥シリンダ情報管理部は、交代セクタとスプリットセクタの種別に関わらず 4 バイト単位の情報として前記欠陥セクタ情報を生成管理することを特徴とする記憶装置。

【請求項 3】請求項 1 記載の記憶装置に於いて、前記欠陥シリンダ情報管理部は、前記欠陥セクタ情報として、前記ポインタ情報で指定される開始アドレスを共有している複数シリンダの中の特定シリンダを区別する欠陥シリンダ情報、欠陥ヘッド番号、交代先セクタアドレスを示す交代位置番号、スプリットセクタか交代セクタかを示す制御ビット、トラックの最終ディフェクトを示す制御ビットの各々を備え、且つ前記欠陥シリンダ情報及び欠陥ヘッド情報を下位ビット側に配置したことを特徴とする記憶装置。

【請求項 4】請求項 1 記載の記憶装置に於いて、前記媒体のベンチテスト等に利用される 1 バイト長以下のシリンダアドレス領域について、前記欠陥シリンダ情報管理部は、シリンダ毎に 1 バイト長の欠陥セクタ情報開始アドレスを生成して管理し、前記ポインタ情報管理部による欠陥セクタ情報開始アドレスを示すポインタ情報の管理を行わないことを特徴とする記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、媒体上の欠陥セクタの位置アドレス及び欠陥セクタの交代先セクタアドレスを管理するディフェクト情報を、装置の電源投入時に、媒体から読み出して装置上のメモリ領域に展開して媒体のアクセスを行う磁気ディスク装置等の記憶装置に関する。

## 【0002】

【従来の技術】従来、欠陥セクタの位置アドレス情報及び欠陥セクタの交代先セクタアドレスを管理するディフェクト情報は、図 8 (A) のように、シリンダ単位に 2 バイトの欠陥セクタ位置情報開始アドレスで管理されている。この欠陥セクタ位置情報開始アドレスとしては、シリンダが欠陥セクタをもつ場合には、そのシリンダの欠陥セクタ位置が登録された開始アドレス（論理ブロックアドレス LBA）が格納されている。また欠陥セクタを持たないシリンダには、「FFFFFFFFh」などの初期値を定義している。

【0003】図 8 (A) のシリンダ・ディフェクト情報の欠陥セクタ位置情報開始アドレスで管理される欠陥セクタ情報は、2 バイトもしくは 4 バイト単位の情報で構成されて登録管理される。即ち、欠陥セクタ情報は、スプリットセクタの場合は図 8 (B) のように 2 バイト単位の情報であり、また交代セクタの場合には図 8 (C) のように、4 バイト単位の情報である。

【0004】図 8 (B) のスプリットセクタの欠陥セクタ情報は、最初のバイト 0 の上位 4 ビットにセット状態で交代セクタ表示ビット ALT、スベアセクタ表示ビット SP、スプリットセクタ表示ビット SL、最終シリンダ表示ビット DL を割り当て、下位 4 ビットを欠陥ヘッド番号としている。次のバイト 1 には、1 バイト長の欠陥セクタ番号を割り当てている。

【0005】図 8 (C) の交代セクタの欠陥セクタ情報は、最初のバイト 0、1 はスプリットセクタと同じであり、これに加え、バイト 2 に最上位ビットにシリンダ表示ビット SS を割り当て、シリンダ表示ビット SS はセット時に同一シリンダのスベア交代を示し、クリア時に交代シリンダへのスベア交代を示す。続いて 4 ビット単位に交代先シリンダ番号と交代先論理ヘッド番号を割り当てる。最終のバイト 3 は、1 バイト長の交代先論理セクタ番号である。

## 【0006】

【発明が解決しようとする課題】しかしながら、このような従来のディフェクト情報の管理にあっては、大容量の装置になるほど、図 8 (A) のシリンダディフェクト情報の情報量が、

(シリンダ本数) × (2 バイト)

と増える。また、ディスク転送の速いゾーンで 1 トラック当たり 256 セクタを越える装置では、欠陥セクタ情報がスリップセクタのときに図 9 (A) のように 1 バイト増えて計 3 バイトになり、交代セクタのときには図 9 (B) のように 2 バイト増えて計 6 バイトが必要である。

【0007】このような装置容量の増加に対しハイエンド装置（高価格装置）では、ワークバッファメモリを十分に確保できるため、図 8 のディフェクト情報管理を継続して採用できる。しかし、限られたワークバッファメモリを持つローエンド装置（低価格装置）では、図 8 の

ディフェクト情報管理を使い続けることはできない。そのため図 8 (A) のようなシリンダ毎に欠陥セクタ位置開始アドレスを持つのを止め、図 9 (A) (B) (C) の欠陥ゾーン情報、ゾーン・ポインタ情報及び欠陥セクタ情報で管理する方式を取り、ディフェクト管理情報の容量を削減している。

【0008】即ち、図 9 (A) の欠陥ゾーン情報は、2 バイト単位にゾーンとヘッド番号ごとにアドレスポインタの開始アドレス（論理ブロックアドレス LBA）を登録して管理しており、図 9 (B) のゾーン・ポインタ情報は、2 バイト単位に欠陥セクタ位置の開始アドレスを登録して管理している。図 9 (C) の欠陥セクタ情報は 6 バイトの情報であり、バイト 0 を欠陥セクタ番号、バイト 1 をスプリットセクタ表示ビット S L、交代セクタ表示ビット A L T、3 ビットの交替先論理ヘッド番号、2 ビットの交代先シリンダ番号とし、バイト 2、3 は 2 バイトの欠陥シリンダ番号とし、バイト 4 は 1 バイトの交代先論理セクタ番号とし、更にバイト 5 は 2 5 6 セクタ以上の装置に対応するリザーブ(Reserved)としている。

【0009】しかし、図 9 のディフェクト情報のゾーン管理にあっては、1 つのゾーンには数百本以上のシリンダがあり、上位装置からアクセス要求を受けた際のディフェクト情報のサーチ時間は、図 8 のディフェクト管理情報に比較して、図 9 (C) の欠陥セクタ情報から余計に 2 バイトの欠陥シリンダ番号をロードし、アクセス・シリンダ番号と比較しなければならないため、オーバヘッドになる。また、ディフェクト管理テーブルを更新する場合、昇順に欠陥セクタ情報をソートしなければならないため、ソート時間もオーバヘッドになる。

【0010】更に、データ転送速度の早いゾーンで 1 トラック当たり 2 5 6 セクタ以上となる装置では、図 9

(C) の欠陥セクタ情報のバイト 5 のリザーブ (Reserved) を利用して欠陥セクタ番号及び交代先論理セクタ番号の上位 2 ビットを確保しなければならない、ディフェクトサーチにおけるオーバヘッドが更に加わることが予想される。

【0011】本発明は、今後、開発される大容量のローエンド装置についてハイエンド装置相当のディフェクトサーチ時間を保証し、且つ、欠陥セクタ情報を圧縮することで、ディフェクト管理情報の容量削減と更新時間の短縮化を図るようにした磁気ディスク装置等の記憶装置を提供することを目的とする。

【0012】

【課題を解決するための手段】図 1 は本発明の原理説明図である。本発明は、媒体上の欠陥セクタの位置アドレス及び欠陥セクタの交代先セクタアドレスを管理するディフェクト情報を、装置の電源投入時に、媒体から読み出して装置上のメモリ領域に展開して媒体のアクセスを行う磁気ディスク装置等の記憶装置を対象とする。

【0013】このような記憶装置につき本発明にあっては、欠陥シリンダ情報管理部 1 7 がシリンダ毎に欠陥セクタの有無を示す 1 ビットの欠陥シリンダ情報 2 1 を生成して管理する。またポインタ情報管理部 1 8 は 1 ビットの欠陥シリンダ情報 2 1 を複数シリンダ単位にグループ化して欠陥セクタ情報の開始アドレスを示すポインタ情報 2 2 を生成して管理する。

【0014】更に、欠陥セクタ情報管理部 1 9 は、交代セクタとスプリットセクタの種別に関わらず所定バイト単位の情報としてポインタ情報 2 2 で指定された開始アドレスに対応して欠陥セクタ情報 2 3 を生成して管理する。そして、上位装置のアクセス要求に対し交代処理部 2 0 は、欠陥シリンダ情報 2 1、ポインタ情報 2 2 及び欠陥セクタ情報 2 3 をサーチして交代処理を行う。

【0015】欠陥セクタ情報管理部 1 9 は、交代セクタとスプリットセクタの種別に関わらず全て 4 バイト単位の情報として欠陥セクタ情報 2 3 を生成管理する。このためディフェクトサーチの際にメモリからの欠陥セクタ情報 2 3 のロードが全て 4 バイト単位に固定され、セクタサーチでバイト長切替を必要としない分、サーチ時間を短縮できる。

【0016】欠陥シリンダ情報管理部 1 7 は、欠陥シリンダ情報 2 1 としてポインタ情報 2 2 で指定される開始アドレスを複数シリンダにつき共有しており、その分、ポインタ情報 2 2 の容量を低減できる。欠陥セクタ情報管理部 1 9 で管理する欠陥セクタ情報 2 3 は、同一のポインタ情報 2 2 で管理される複数の欠陥セクタ情報中の特定シリンダを区別する欠陥シリンダ情報（例えば欠陥シリンダ情報の下位 4 ビット）、欠陥ヘッド番号、交代先セクタアドレスを示す交代位置番号、スプリットセクタか交代セクタかを示す制御ビット A L T、トラックの最終ディフェクトを示す制御ビット L A S T の各々を備え、且つ欠陥シリンダ情報及び欠陥ヘッド情報を下位ビット側に配置することによって、欠陥シリンダ情報及び欠陥ヘッド情報の取得を高速化する。

【0017】このような本発明の記憶装置によれば、欠陥シリンダ情報のポインタ情報及び欠陥セクタ情報で構成されるディフェクト管理情報を圧縮してワークバッファに展開した際の容量を削減し、同時に、ディフェクト管理情報のサーチと更新に要する時間を短縮でき、ワークバッファの容量に限界のあるローエンド装置の媒体容量の増加に対しディフェクトサーチ時間を保証し、オーバヘッドによる性能低下を防止する。

【0018】また媒体のベンチテスト等に利用される特定の 1 バイト長以下のシリンダアドレス領域について、欠陥シリンダ情報管理部 1 7 は、シリンダ毎に欠陥セクタ位置の開始アドレスを示す 1 バイト長の欠陥セクタ開始アドレスを生成して欠陥シリンダ情報 2 1 として管理し、この場合、ポインタ情報管理部 1 8 による欠陥セクタ情報の開始アドレスを示すポインタ情報 2 2 の管理を

行わない。

【0019】このためベンチテスト等のために頻繁にアクセスされる1バイト長以下の特定のシリンダアドレス領域については、欠陥シリンダ情報21から直ちに欠陥セクタ情報23の開始アドレスを取得し、この場合は、容量の低下を若干犠牲にしてディフェクトサーチ時間の短縮化を図る。

【0020】

【発明の実施の形態】図2は本発明のディフェクト情報管理が適用される磁気ディスク装置のブロック図である。ハードディスクドライブ(HDD)として知られた磁気ディスク装置は、ディスクエンクロージャ1とコントロール回路ボード2で構成される。ディスクエンクロージャ1には、ヘッドICとして実装されたR/Wプリアンプ回路3、ヘッドアクチュエータの先端に支持されて磁気ディスク媒体のトラックを横切る方向に位置決めされるヘッドアッセンブリ4、ヘッドアクチュエータを駆動するボイスコイルモータ(以下「VCM」という)5、及び磁気ディスク媒体を回転するスピンドルモータ6を備える。

【0021】ディスクエンクロージャ1に設けたR/Wプリアンプ回路3は、ヘッド選択、リード/ライト切替えの通常の機能に加え、ライト電流やMRヘッドに対するリードセンス電流の切替え、更にはパワーセーブ等のモード設定等の多機能化が近年は図られており、コントロール回路ボード2からのシリアル転送ラインによるレジスタ設定で回路パラメータやモード設定が制御できる。

【0022】ヘッドアッセンブリ4はディスクエンクロージャ1に設けている磁気ディスク媒体の記録面の枚数に対応した数だけ設けられ、各ヘッドアッセンブリ4はインダクティブヘッドを用いたライトヘッドと例えばMRヘッドを用いたリードヘッドを一体化した複合ヘッドアッセンブリを使用している。コントロール回路ボード2側には、ハードディスクドライブ全体の制御を行うMCU(マイクロコントローラユニット)7、リードチャネル回路8、ハードディスクコントローラ9、不揮発性のフラッシュPEROM12、DRAMを用いたデータバッファ13、VCM5及びスピンドルモータ6を駆動制御するサーボコントローラ10、更に上位装置に対するインタフェースコネクタ14が設けられている。

【0023】本発明のディフェクト情報の管理は、MCU7に設けているMPUによるプログラム制御により実現され、内蔵したワークバッファメモリ16aには、ディスクエンクロージャ1側の磁気ディスク媒体のシステム領域に格納されているディフェクト管理情報が、装置電源立ち上げの際に読み出されて展開され、それ以降はワークバッファメモリ16a上のディフェクト管理情報を対象にMCU7は、上位装置からのアクセスに対しデ

ィフェクト処理を実行する。

【0024】図3は図2のMCU7によって実現される本発明のディフェクト情報管理の機能ブロック図である。このディフェクト情報管理の機能は、ディフェクト情報管理部15とディフェクト情報記憶部16で構成される。ディフェクト情報管理部15には欠陥シリンダ情報管理部17、ポインタ情報管理部18、欠陥セクタ情報管理部19及びディフェクト情報のサーチを行う交代処理部20が設けられる。

【0025】ディフェクト情報記憶部16は図2のMCU7に設けているワークバッファメモリ16a上に展開された情報であり、欠陥シリンダ情報21、ポインタ情報22及び欠陥セクタ情報23で構成されている。図4は図3のディフェクト情報記憶部16のワークバッファメモリ16aにおけるメモリマップの説明図である。この例にあっては、欠陥シリンダ情報21は2バイトを1単位とする情報であり、ワークバッファメモリ16aのアドレスXを先頭とした欠陥シリンダ情報エリア21aに複数格納されている。

【0026】次のポインタ情報22も、2バイトの情報であるワークバッファメモリ16aのアドレスYを先頭アドレスとしたポインタ情報エリア22aに複数格納されている。更に欠陥セクタ情報23は4バイト単位の情報であり、ワークバッファメモリ16a上のアドレスZを先頭アドレスとした欠陥セクタ情報エリア23aに複数格納されている。

【0027】図5は図3に示したディフェクト情報記憶部16に格納される欠陥シリンダ情報21、ポインタ情報22及び欠陥セクタ情報23の詳細である。図5

(A)は本発明のディフェクト情報管理で使用する欠陥シリンダ情報21であり、磁気ディスク媒体の1シリンダにつき1ビットを割り当てており、1つのシリンダ上での欠陥セクタの有無を1ビットで管理している。即ち、1つのシリンダ上に欠陥セクタが1つでも存在すると対応するシリンダ番号のビットが1にセットされ、欠陥セクタが存在しなければ対応するシリンダ番号のビットが0にクリアされたビットマップ情報として構成される。

【0028】図5(A)にあっては、バイト0とバイト1の2バイトを取り出しており、バイト0側はシリンダ番号0~7についてビット0~7が割り当てられ、バイト0側にあってはシリンダ番号8~15がビット0~7について割り当てられている。例えば磁気ディスク媒体のシリンダ数が8192本であったとすると、シリンダ8本で1バイトの欠陥シリンダ情報21となることから、全シリンダ本数8192本につき1024バイトの情報量となる。

【0029】図5(B)はアドレスポインタとして機能するポインタ情報22である。このポインタ情報22は、図5(A)に示すバイト0、1の2バイト分の欠陥

シリンダ情報 2 1、即ち 1 6 シリンダ分の欠陥シリンダ情報 2 1 を 1 グループとして、各シリンダの欠陥セクタ情報を格納しているメモリ領域の開始アドレス、即ち欠陥シリンダ情報、バイト 0 / 1 の欠陥情報開始アドレスを格納している。

【0 0 3 0】この結果、アドレスポインタとしてのポインタ情報 2 2 は、図 5 (A) の 2 バイト単位に指定される 1 6 シリンダ分の欠陥セクタ情報を特定するための共用アドレスポインタとして機能する。図 5 (B) のポインタ情報 2 2 は、図 5 (A) のバイト 0、1 の 2 バイト分 (1 6 シリンダ分) の欠陥シリンダ情報 2 1 に対応したバイト 0、1 の欠陥情報開始アドレスを格納しており、4 バイト単位に処理されることから、次のバイト 2、3 の欠陥シリンダ情報に対応した欠陥情報開始アドレスも併せて示している。

【0 0 3 1】具体的には、ポインタ情報 2 2 の情報量は総シリンダ数を 8 1 9 2 本とした場合、図 5 (A) の欠陥シリンダ情報 2 1 が 1 0 2 4 バイトであり、欠陥シリンダ情報 2 1 の 2 バイト単位にポインタ情報 2 2 も 2 バイト単位の情報を与えることから、ポインタ情報 2 2 も 1 0 2 4 バイトの情報量となる。図 5 (C) は欠陥セクタ情報 2 3 である。欠陥セクタ情報 2 3 は、図 4 の欠陥セクタ情報エリア 2 3 a のようにワークバッファメモリ 1 6 a のアドレス Z を開始アドレスとして、この実施形態にあっては 4 バイト単位の情報として格納されている。

【0 0 3 2】欠陥セクタ情報 2 3 a の開始アドレスは、図 5 (B) のポインタ情報 2 2 の 2 バイト情報で指定される欠陥シリンダ情報バイト 0 / 1 の欠陥情報開始アドレスを先頭位置として最大で 1 6 シリンダ分の欠陥セクタ情報 2 3 が順番に格納されている。図 5 (C) の欠陥セクタ情報 2 3 につき本発明にあっては、欠陥セクタ情報がスプリットセクタであるか交代セクタであるかの種別に関係なく、全てバイト 0、1、2、3 の 4 バイト情報で構成している。このため、図 3 のディフェクト情報管理 1 5 による欠陥セクタ情報 2 3 に対する登録、サーチ等の際のロード、ストアは全て 4 バイト単位の固定バイト長で処理することができ、スプリットセクタと交代セクタでのバイト長の切り分けを必要としないことから、その分、欠陥セクタ情報 2 3 の登録、更新、サーチが高速化できる。

【0 0 3 3】欠陥セクタ情報 2 3 の構成は次のようになる。まずバイト 0 の上位 4 ビットには交代位置番号の下位 4 ビットが割り当てられている。次のバイト 0 の下位 4 ビットには欠陥シリンダ情報の下位 4 ビットが割り当てられている。ここでポインタ情報 2 2 で指定される欠陥情報開始アドレスから次の欠陥情報開始アドレスの間には、図 5 (A) の 2 バイト情報で指定される 1 6 シリンダ分の欠陥セクタ情報 2 3 が格納されており、この最大 1 6 シリンダ分の欠陥セクタ情報の中の特定の欠陥シ

リンダを指定するために欠陥シリンダ情報の下位 4 ビットを格納するようにしている。

【0 0 3 4】即ち、上位装置からの 8 ビットのアクセスシリンダ情報について欠陥シリンダであることが判別された場合、図 5 (A) (B) の欠陥シリンダ情報 2 1 及びポインタ情報 2 2 によって、アクセスシリンダ情報の上位 4 ビットによる共用化された欠陥情報開始アドレスが指定されていることから、その中の特定の欠陥シリンダ情報についてはアクセスシリンダ情報の下位 4 ビットを使用することで区別できる。

【0 0 3 5】欠陥セクタ情報 2 3 のバイト 1 には、上位 4 ビットを使用して交代位置番号の中位 4 ビット (但し、1 トラック当りセクタ数 2 5 6 を越えるゾーンでは上位 4 ビット) が割り当てられ、また下位 4 ビットに欠陥ヘッド番号が割り当てられている。ここで欠陥セクタ情報 2 3 のバイト 0、1 につき下位 4 ビット側に欠陥シリンダ情報と欠陥ヘッド番号を割り当てており、これによって欠陥セクタ情報 2 3 をロードして欠陥セクタをサーチする際の欠陥シリンダ情報及び欠陥ヘッド番号の取得を高速に処理できるようにしている。

【0 0 3 6】欠陥セクタ情報 2 3 のバイト 2 の 8 ビットは、欠陥セクタ番号の下位 8 ビットが割り当てられている。欠陥セクタ情報 2 3 のバイト 3 の上位 4 ビットにはバイト 0、1 側の下位 4 ビット、中位 4 ビットに対応した上位 4 ビットの交代位置番号が割り当てられている。更にバイト 3 側の 3 ビット目、2 ビット目については制御ビット LAST と制御ビット ALT が割り当てられる。

【0 0 3 7】制御ビット LAST は、このビットをセットすることで欠陥セクタ情報 2 3 がトラックの最終ディフェクトであることを示している。また制御ビット ALT は欠陥セクタ情報 2 3 がスプリットセクタか交代セクタかを示している。即ち、制御ビット ALT が 1 にセットされていると交代セクタであることを示し、0 にクリアされているとスプリットセクタであることを示す。

【0 0 3 8】欠陥セクタ情報 2 3 における 3 バイト目の下位 2 ビットは、2 バイト目の 8 ビットで指定される欠陥セクタ番号に対する上位 2 ビットの欠陥セクタ番号の格納に割り当てられる。即ち、1 トラック当たりのセクタ数が 2 5 6 以下のゾーンにあっては、2 バイト目の 8 ビットの欠陥セクタ番号で足りるが、1 トラック当たりのセクタ数が 2 5 6 セクタを超えて例えば 1 0 2 4 セクタの 1 0 ビット構成となった場合には、3 バイト目の下位 2 ビットで指定される欠陥セクタ番号の領域を使用する。

【0 0 3 9】尚、欠陥セクタ情報 2 3 において、制御ビット ALT が 1 にセットされたときバイト 0、1 及び 3 の各交代位置番号が有効になるが、逆に制御ビット ALT が 0 にクリアされたスプリットセクタの場合には交代位置番号は使用しないことから、バイト 0、1 または 3

の使用していない交代位置番号のビットを制御ビット A L T に利用することも可能である。

【0040】図6は図3の交代処理部20により上位装置からアクセス情報を受けたときのデフエクト管理情報のサーチ処理のフローチャートである。まず上位装置からのリードまたはライトアクセスに伴って、アクセスシリンダ番号 C C、アクセスヘッド番号 H H、アクセス開始セクタ番号 S S、アクセス終了セクタ番号 S E が提供される。

【0041】このようなアクセス情報を受けた交代処理部20は、まず欠陥シリンダ情報21の参照を行う。即ち、ステップS1で、アクセスシリンダ番号 C C を図5 (A) の欠陥シリンダ情報21の1バイト長に格納できるシリンダ数8本を示す数8で割って商 A と余り B を求める。続いてステップS2で、例えば図4のような欠陥シリンダ情報領域21aの先頭アドレス X にステップS1で求めた商 A を加えたアドレスについての2バイトのワード情報を欠陥シリンダ情報 C としてロードする。このようにしてロードした欠陥シリンダ情報 C について、ステップS3で、ステップS1で求めた余り B に対応したビット B が1か否かチェックする。

【0042】ビット B が1であれば、このアクセスシリンダ番号 C C のセクタ中には欠陥セクタが存在していることから、ステップS4に進み、図4のポインタ情報領域22aの先頭アドレス Y にステップS1で求めた商 A の半分の (A/2) を加えたアドレスの2バイトのワード情報をロードする。即ち、図5 (B) のポインタ情報22の欠陥シリンダ情報の1ビットが含まれる16シリンダをまとめて2バイトの欠陥シリンダ情報バイト i / i + 1 の欠陥情報開始アドレスをロードする。次にステップS4でロードしたポインタ情報である欠陥情報開始アドレスの欠陥セクタ情報をステップS5で4バイトロードする。次のステップS6で、ステップS1で求めた余り B で指定される欠陥シリンダ情報の下位4ビットにロードした4バイトの欠陥セクタ情報の中の欠陥シリンダ情報が一致するか否かチェックする。

【0043】余り B が欠陥セクタ情報の中の欠陥シリンダ情報 (下位4ビット) に一致すると、ステップS7に進み、欠陥ヘッド番号がアクセスヘッド番号に一致するか否かチェックする。ヘッド番号がアクセスヘッド番号に一致すれば、ステップS8で、欠陥セクタ情報の欠陥セクタ番号がアクセス開始セクタ S S を超えているか否かチェックする。

【0044】欠陥セクタ番号がアクセス開始セクタ S S を超えていれば、ステップS9で、欠陥セクタ番号がアクセス最終セクタ番号 S E より小さいか否かチェックする。欠陥セクタ番号がアクセス最終セクタ番号 S E より小さければ、この欠陥セクタ情報はアクセス対象となっているセクタ範囲に入っていることから、ステップS10で欠陥セクタ情報の中の制御ビット A L T をチェック

する。

【0045】A L T ビットが1であれば、これは交代セクタであることから、ステップS11に進み、欠陥セクタ情報から得た交代位置番号を予め分かっているトラック当たりのセクタ数で割って商 T とその余り E を求める。このとき商 T が交代セクタ位置のヘッド番号となり、また余り E が交代位置のセクタ番号となり、ステップS12で交代セクタに対するアクセスを行う。ステップS10で A L T ビットが0であった場合には、これはスプリットセクタであることから、欠陥セクタ情報に基づいたスプリットセクタに対する処理を行う。

【0046】一方、ステップS6でロードした欠陥セクタ情報の欠陥シリンダ番号が余り B に不一致な場合、ステップS7で欠陥ヘッド番号がアクセスヘッド番号に不一致な場合、あるいはステップS8で欠陥セクタ番号がアクセス開始セクタ番号 S S より小さかった場合には、ステップS13に進み、欠陥セクタ情報の制御ビット L A S T をチェックし、L A S T ビットが1でなければステップS5に戻って、次の欠陥セクタ情報を4バイトロードし、ステップS6からの処理を繰り返す。

【0047】これによってポインタ情報の先頭アドレスが指定される16シリンダごとの欠陥セクタ情報を順番に読み出して、アクセス情報に含まれている交代セクタのヘッド番号及びセクタ番号を求めて交代処理を行うことになる。また、サーチ中にステップS13で L A S T ビットが1であった場合には、そのシリンダにはデフエクトが存在しないことから、ステップS14に進み、そのシリンダにはデフエクトが存在しないものとしてサーチを終了する。

【0048】もちろん、ステップS3で欠陥シリンダ情報のロード内容についてビット B が1でなかった場合には、そのシリンダにデフエクトがないことから、同様にしてステップS14でデフエクトなしとしてサーチを終了し、アクセス情報そのものによるアクセスを実行する。更にステップS11にあっては、交代シリンダを1本持つ装置を対象として交代位置番号をトラック当たりのセクタ数で割って求めた商 T をヘッド番号、余り E をセクタ番号としているが、交代シリンダを2本以上持つ装置にあっては、商 T を更に装置数で割った商 (D/装置数) を、更に最大ヘッド本数で割った商がシリンダ番号で、その余りがヘッド番号となる。

【0049】図7は本発明のデフエクト情報管理の他の実施形態であり、この実施形態にあっては光ディスク媒体のベンチテスト用のシリンダ領域として割り当てられる例えばシリンダ番号 C C = 000 ~ 256 の欠陥シリンダ情報について、図5 (A) のような1シリンダに欠陥セクタが存在するか否かを1ビットで表現した情報とせず、欠陥シリンダについてその欠陥セクタ情報23の1バイト欠陥セクタ開始アドレスを直接管理するようにしたことを特徴とする。

【0050】即ち、図7のワークバッファメモリ16aに展開されたベンチテスト用シリンダの欠陥シリンダ情報25にあっては、左側に示すシリンダ番号CC=000~255の256シリンダについて、もしシリンダ中に欠陥セクタが存在した場合には、図5(C)の欠陥セクタ情報23のワークバッファメモリ16a上の開始位置を示す1バイト欠陥セクタ開始アドレスを直接格納している。

【0051】この結果、ベンチテスト用シリンダの欠陥シリンダ情報25にあっては、図5(B)のようなポインタ情報22を必要とせず、欠陥シリンダ情報25のサーチで直接、図5(C)の欠陥セクタ情報23の開始アドレスを取得して、対応する欠陥セクタ情報をサーチすることができる。このため、ポインタ情報22を持たない分だけ、ベンチテストのために頻繁にアクセスするシリンダ番号CC=000~255の256シリンダ領域についてはディフェクト情報のサーチを高速化できる。

【0052】このベンチテスト用シリンダ欠陥情報25以外の他のシリンダ番号256以降については、図5(A)の1シリンダにつき欠陥セクタの有無を示す1ビットを割り当てた欠陥シリンダ情報21を格納している。また上記の実施形態にあっては、図5(B)のポインタ情報22として図5(A)の欠陥シリンダ情報21の16シリンダをグループ化して欠陥シリンダ情報バイト(i/i+1)の欠陥情報開始アドレスをアドレスポインタとして登録しているが、他の実施形態として図5(B)のポインタ情報22を図5(A)の欠陥シリンダ情報21の8シリンダ(1バイト)につきグループ化し、ポインタ情報22を1バイト単位の領域として欠陥シリンダ情報、バイト単位の欠陥情報を情報開始アドレスとしてもよい。

【0053】もちろん、この場合についても欠陥セクタ情報23の欠陥シリンダ情報にはシリンダ情報の下位4ビットを8本のシリンダの中の特定のシリンダの1つを区別するために格納する。なお本発明は上記の実施形態の数値による限定は受けない。

【0054】

【発明の効果】以上説明してきたように本発明によれば、欠陥シリンダ情報をシリンダごとのビット情報で管理して、この欠陥シリンダ情報について例えばシリンダ16本ごとにアドレスポインタとしての欠陥セクタ情報開始アドレスを持たせ、更に欠陥セクタ開始アドレスで管理される欠陥セクタ情報として交代セクタかスプリットセクタかの種別に関係なく全て4バイトの欠陥セクタ情報としたことで、トータルのディフェクト管理情報の情報量を圧縮して低減でき、装置上のワークバッファメモリに展開した際のディフェクト管理情報の容量低減によりテーブル登録、更新、及びアクセス要求に対するディフェクト管理情報のサーチによる交代処理の処理時

間が短縮でき、ディフェクト管理情報を展開するワークバッファ領域に制限のあるローエンド装置であっても、ハイエンド装置相当のディフェクトサーチ時間を保証することができる。

05 【図面の簡単な説明】

【図1】本発明の原理説明図

【図2】本発明が適用される磁気ディスク装置のブロック図

【図3】本発明によるディフェクト管理機能のブロック図

10 【図4】本発明のディフェクト管理情報のワークバッファ展開状態のメモリマップ説明図

【図5】本発明のディフェクト管理で使用する欠陥シリンダ情報、ポインタ情報及び欠陥セクタ情報の説明図

15 【図6】本発明のディフェクト管理情報に対するサーチ処理のフローチャート

【図7】本発明の他の実施形態で使用する欠陥シリンダ情報のメモリマップ説明図

【図8】従来のディフェクト管理情報の説明図

20 【図9】媒体セクタ数の増加に対応した従来の欠陥セクタ情報の説明図

【図10】ゾーンで管理する従来のディフェクト管理情報の説明図

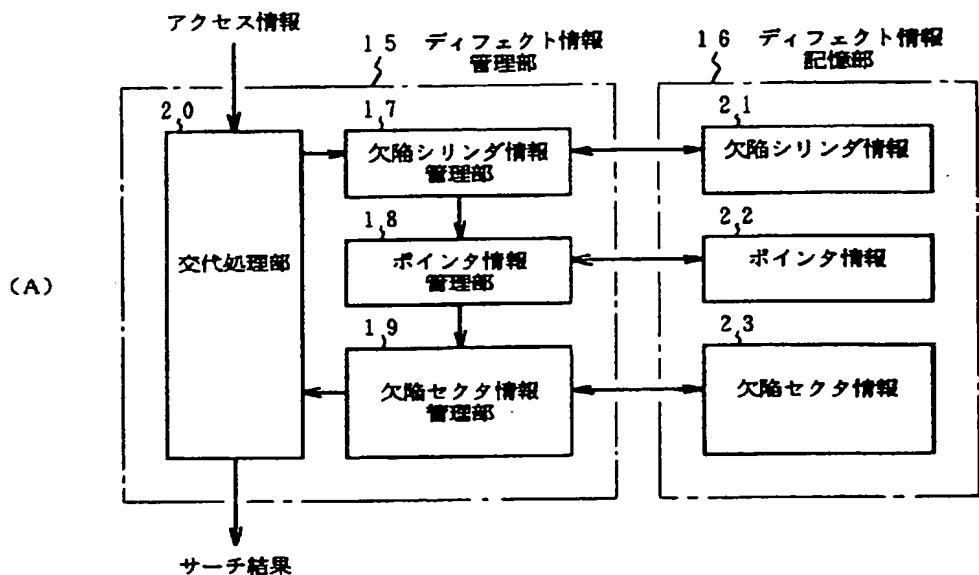
【符号の説明】

- 25 1: ディスクエンクロージャ  
2: コントロール回路ボード  
3: R/Wプリアンプ回路  
4: ヘッドアッセンブリ  
5: ボイスコイルモータ(VCM)  
30 6: スピンドルモータ  
7: MCU  
8: リードチャネル回路  
9: ハードディスクコントローラ  
10: サーボコントローラ  
35 11a, 11b: FPC  
12: フラッシュPEROM  
13: データバッファ  
14: インタフェースコネクタ  
15: ディフェクト情報管理部  
40 16: ディフェクト情報記憶部  
16a: ワークバッファメモリ  
17: 欠陥シリンダ情報管理部  
18: ポインタ情報管理部  
19: 欠陥セクタ情報管理部  
45 20: 交代処理部  
21: 欠陥シリンダ情報  
22: ポインタ情報  
23: 欠陥セクタ情報  
25: ベンチテスト用欠陥シリンダ情報



【図1】

## 本発明の原理説明図



欠陥シリンダ情報 2 1

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Byte 0	シリンダ7	シリンダ6	シリンダ5	シリンダ4	シリンダ3	シリンダ2	シリンダ1	シリンダ0
Byte 1	シリンダ15	シリンダ14	シリンダ13	シリンダ12	シリンダ11	シリンダ10	シリンダ9	シリンダ8

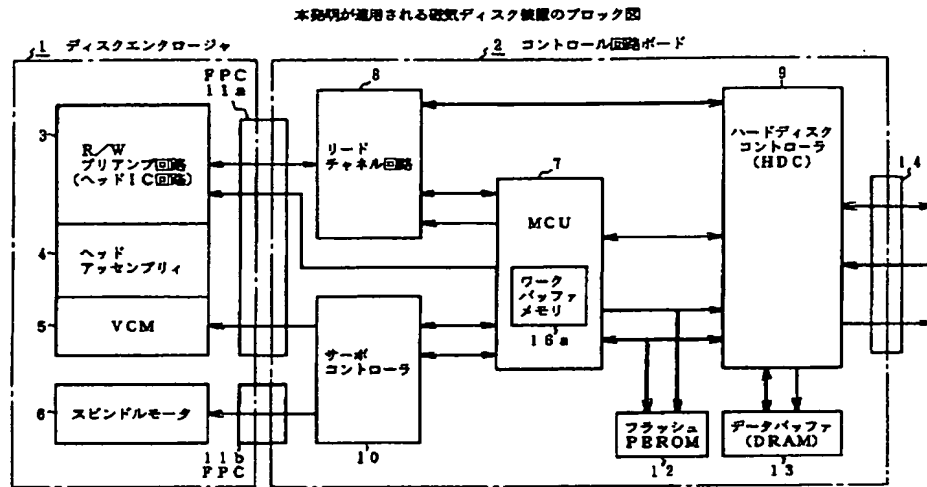
ポインタ情報 2 2

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Byte 0	欠陥シリンダ情報/バイト0/1の欠陥情報開始アドレス							
Byte 1								
Byte 2	欠陥シリンダ情報/バイト2/3の欠陥情報開始アドレス							
Byte 3								

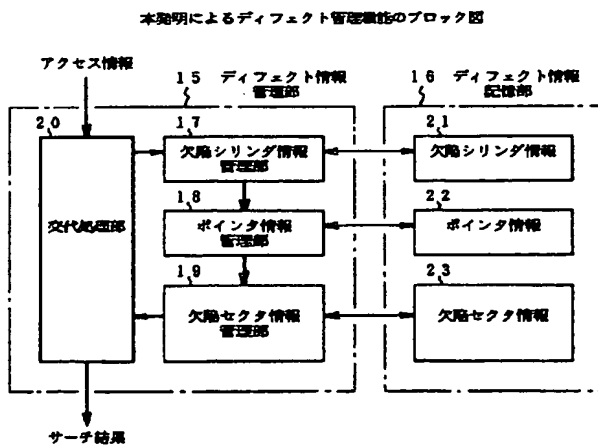
欠陥セクタ情報 2 3

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Byte 0	交代位置番号 (Low)				欠陥シリンダ情報 (CC0の下位4ビット)			
Byte 1	交代位置番号 (Middle)				欠陥ヘッド番号			
Byte 2	欠陥セクタ番号 (Low)							
Byte 3	交代位置番号 (High)				LAST	ALT	欠陥セクタ番号 (High)	

【図2】

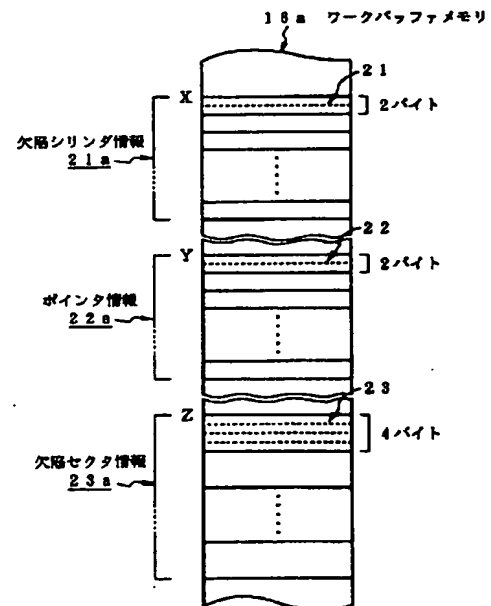


【図3】



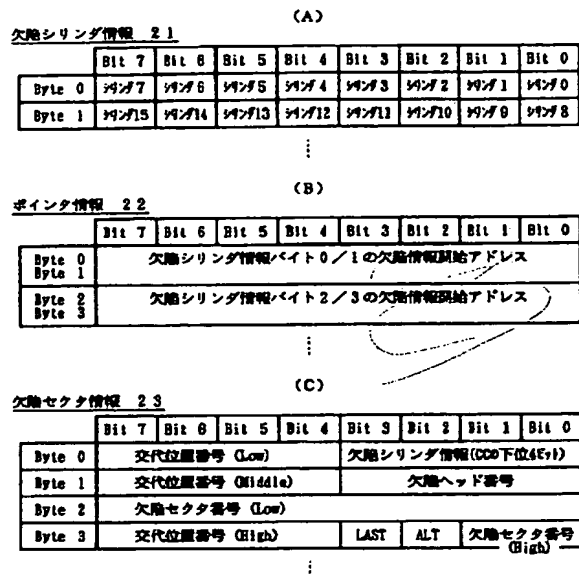
【図4】

本発明のディフェクト管理情報のワークバッファ展開状態のメモリマップ説明図



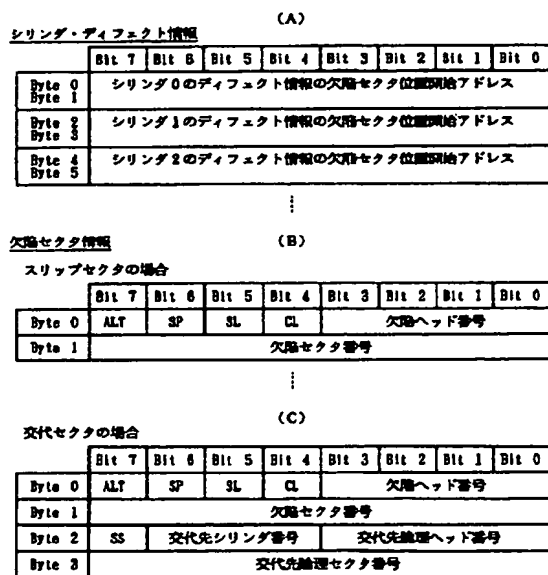
【図5】

本発明のディフェクト管理で使用する欠陥シリンダ情報、ポインタ情報  
及び欠陥セクタ情報の説明図



【図8】

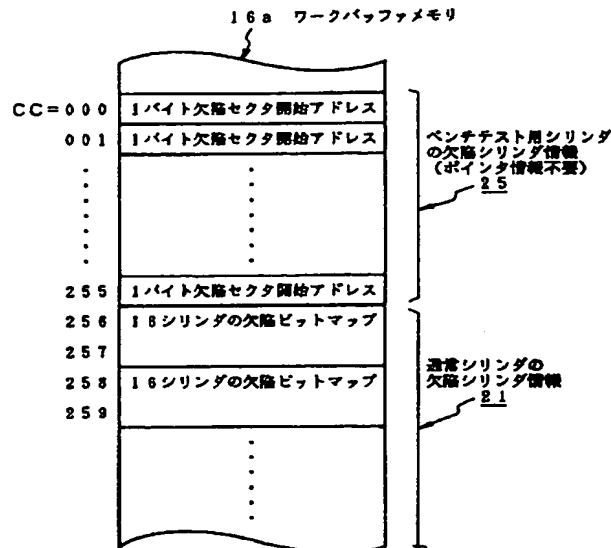
従来のディフェクト管理情報の説明図



ALT : セット時、交代セクタであることを示す。  
SP : セット時、スベアセクタであることを示す。  
SL : セット時、スリッパセクタであることを示す。  
CL : セット時、シリンダ最終であることを示す。  
SS : セット時、同一シリンダのスベア交代。  
クリア時、交代シリンダのスベアへ交代。

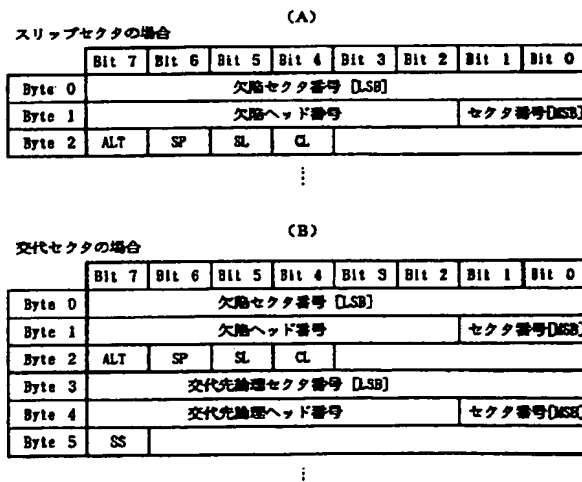
【図7】

本発明の他の実施形態で使用する欠陥シリンダ情報のメモリマップ説明図



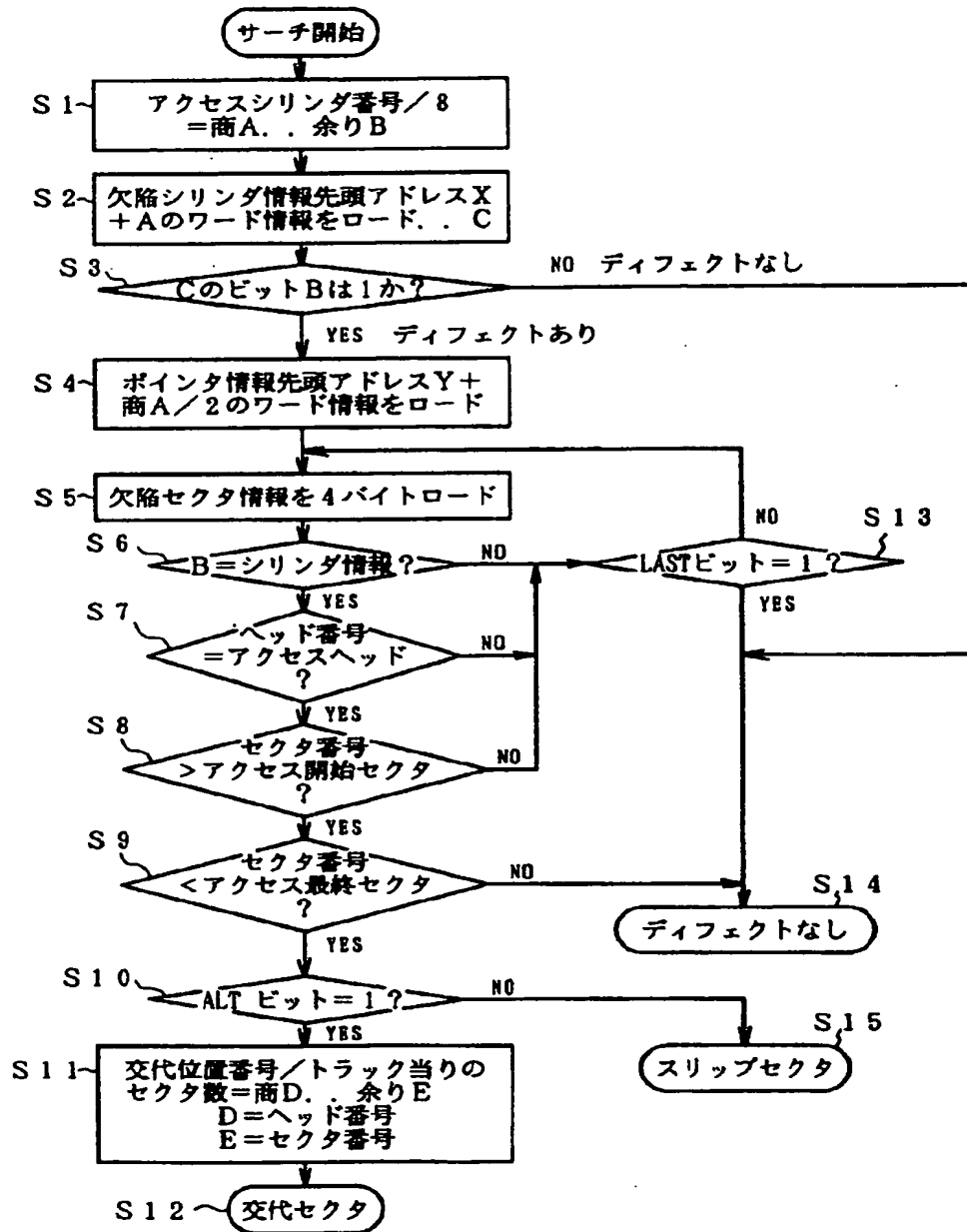
【図9】

媒体セクタ数の増加に対応した従来の欠陥セクタ情報の説明図



【図6】

本発明のディフェクト管理情報に対するサーチ処理のフローチャート



【図10】

ゾーンで管理する従来のディフェクト管理情報の説明図

(A)

欠陥ゾーン情報

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Byte 0 Byte 3	ゾーン0、ヘッド0の開始アドレス							
Byte 4 Byte 7	ゾーン0、ヘッド1の開始アドレス							
Byte 8 Byte 12	ゾーン0、ヘッド2の開始アドレス							

⋮

(B)

ゾーン・ポインタ情報

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Byte 0 Byte 1	ゾーン0、ヘッド0の欠陥セクタ位置開始アドレス							
Byte 2 Byte 3	ゾーン0、ヘッド1の欠陥セクタ位置開始アドレス							
Byte 4 Byte 5	ゾーン0、ヘッド2の欠陥セクタ位置開始アドレス							

⋮

(C)

欠陥セクタ情報

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Byte 0	欠陥セクタ番号							
Byte 1	SL	ALT		交代先磁頭ヘッド番号			交代先シリンダ番号	
Byte 2	欠陥シリンダ番号							
Byte 3								
Byte 4	交代先磁頭セクタ番号							
Byte 5	Reserved							

⋮